

TIMING CONTROL CIRCUIT FOR REFRESH OPERATION OF SEMICONDUCTOR STORAGE DEVICE

Patent number: JP62188096
Publication date: 1987-08-17
Inventor: SAWADA KAZUHIRO; others: 02
Applicant: TOSHIBA CORP
Classification:
- international: G11C11/34
- european:
Application number: JP19860029320 19860213
Priority number(s):

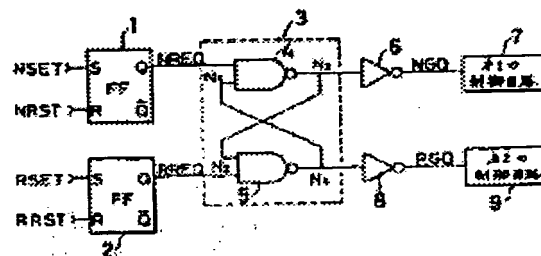
Also published as:

 EP0242948 (A)
 US4757217 (A)
 EP0242948 (B)

Abstract of JP62188096

PURPOSE:To automatically perform a refresh in a vacant time of a normal memory operation, by controlling an operation according to priority of a normal readout start command signal and a refresh start command signal generated within a storage device.

CONSTITUTION:At the time of, first of all, a readout start command signal NSET is inputted to the terminal S of an FF circuit 1, and next, a refresh start command signal RSET is inputted to the terminal S of an FF circuit 2, the first control circuit 7 is activated through a priority decision circuit 3, then a normal operation is started. Next, at the time of a normal word line shut-off signal NRST is inputted to the terminal R of the circuit 1, the second control circuit 9 is activated, then the refresh is performed. On completing those operations, a refresh word line shut-off signal RRST is inputted to the terminal R of the circuit 2, then a state goes to a standby state. At the time of the signal RSET is inputted earlier than the signal NSET, the normal operation is performed after the refresh, and the refresh is performed in the vacant time of the memory operation.



Data supplied from the esp@cenet database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-188096

⑬ Int. Cl.⁴
G 11 C 11/34

識別記号 庁内整理番号
3 6 3 E-8522-5B

⑭ 公開 昭和62年(1987)8月17日

審査請求 有 発明の数 1 (全7頁)

⑮ 発明の名称 半導体記憶装置のリフレッシュ動作タイミング制御回路

⑯ 特 願 昭61-29320

⑰ 出 願 昭61(1986)2月13日

⑱ 発 明 者	沢 田	和 宏	川崎市幸区小向東芝町1番地	株式会社東芝総合研究所内
⑱ 発 明 者	桜 井	貴 康	川崎市幸区小向東芝町1番地	株式会社東芝総合研究所内
⑱ 発 明 者	野 上	一 孝	川崎市幸区小向東芝町1番地	株式会社東芝総合研究所内
⑲ 出 願 人	株 式 会 社	東 芝	川崎市幸区堀川町72番地	
⑳ 代 理 人	弁 理 士	鈴 江 武彦	外2名	

明 細 書

1. 発明の名称

半導体記憶装置のリフレッシュ動作タイミング制御回路

2. 特許請求の範囲

(1) リフレッシュ動作が必要なメモリセルのアドレスを有し、リフレッシュ動作が必要な場合には通常のメモリ動作とリフレッシュ動作とを同一のアクセスサイクル内で行なうことが可能な半導体記憶装置に設けられ、通常読み出し開始指令信号が一方の入力となり、通常動作において選択されるワード線の選択終了に伴って通常動作ワード線シャットオフ信号が他方の入力となり、上記通常読み出し開始指令信号を一時保持するセットリセット形の第1のフリップフロップ回路と、リフレッシュ開始指令信号が一方の入力となり、リフレッシュ動作において選択されるリフレッシュワード線の選択終了に伴ってリフレッシュワード線シャットオフ信号が他方の入力となり、上記リフレッシュ開始指令信号を一

時保持するセットリセット形の第2のフリップフロップ回路と、2個の2入力論理回路が交差接続されてなり、この2個の2入力論理回路の各一方の入力としてそれぞれ対応して前記2個のフリップフロップ回路により一時保持された信号が導かれ、両入力の論理レベル関係により通常の読み出し動作を開始制御するための信号またはリフレッシュ動作を開始制御するための信号を出力する優先度決定回路とを具備することを特徴とする半導体記憶装置のリフレッシュ動作タイミング制御回路。

(2) 前記優先度決定回路の2個の2入力論理回路の各出力側にそれぞれ対応して波形整形用のインバータ回路が設けられてなることを特徴とする前記特許請求の範囲第1項記載の半導体記憶装置のリフレッシュ動作タイミング制御回路。

(3) 前記2個の2入力論理回路はそれぞれ2入力ナンド回路であり、前記インバータ回路の閾値はその入力のハイレベルとローレベルとの中間電位より低目に設定されていることを特徴と

する前記特許請求の範囲第2項記載の半導体記憶装置のリフレッシュ動作タイミング制御回路。

(4)前記2個の2入力論理回路はそれぞれ2入力ノア回路であり、前記インバータ回路の閾値はその入力のハイレベルとローレベルとの中間電位より高目に設定されていることを特徴とする前記特許請求の範囲第2項記載の半導体記憶装置のリフレッシュ動作タイミング制御回路。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明はリフレッシュ動作の必要な半導体記憶装置に係り、特に通常のメモリ動作の空き時間にリフレッシュ動作を行なうことが可能な半導体メモリにおいて、通常のメモリ動作とリフレッシュ動作とのタイミングを管理制御するリフレッシュ動作タイミング制御回路に関する。

(従来の技術)

リフレッシュ動作を必要とする半導体メモリ、たとえばメモリセルが1トランジスタと1キャ

とバッファレジスタ54との電気的接続が所定タイミングでスイッチ制御されるようになっているので、通常のメモリ動作の空き時間にリフレッシュ動作を行なわせることが可能になっている。即ち、アドレス(ADD)信号とチップイネーブルバー(\overline{CE})信号とによって確定したアドレスに対応したワード線WL1が一定期間開き、この期間にセンスアンプイネーブル(SAE)信号によりセンスアンプ52が動作してメモリセルアレイ51からのデータをセンス増幅し、上記読み出しの対象となったメモリセルの再書き込みが行なわれる。引き続いて、カラムデコードイネーブル(CDE)信号によりカラムデコード53が動作し、その出力による制御により前記センスアンプ52の出力がバッファレジスタ54に伝えられ、バッファレジスタイネーブル(BRE)信号により上記バッファレジスタ54にデータが格納され、このデータが入出力バッファ55を経て入出力ピン(図示せず)から出力データOUTとして出力される。このように読み

出しデータとからなるダイナミック型RAM(ランダムアクセスメモリ)の一種として、使用者がリフレッシュ動作を意識しないで済む(使用者からリフレッシュ動作が見えない)ように通常の読み出し動作とリフレッシュ動作とを同一のアクセスサイクル内で時分割で行ない得るようにした仮想的なスタティック型RAMが本願出願人の出願(特願昭59-163508号、特願昭59-111894号)により提案されている。このRAMのメモリセルコア領域を中心とした構成の一例を第5図に示しており、その動作タイミングチャートの一例を第6図に示している。上記RAMの特徴は、メモリセルアレイ51の選択されたワード線およびセンスアンプ52がそれぞれパルスのように駆動されるようになっており、上記センスアンプ52により感知された通常の読み出し動作による情報がカラムデコード53によりバッファレジスタ54に伝えられて一旦格納されたのち入出力バッファ55に読み出されるようになっており、上記センスアンプ52

出しデータが出力されるまでの期間内に上記CDE信号、SAE信号がディセーブルになって再びメモリセルアレイ51のビット線にアクセスが可能になり、今度はリフレッシュアドレス信号により上記ワード線WL1とは別のリフレッシュの対象となるメモリセルに接続されているリフレッシュワード線RWLが一定期間開く。そして、この期間に再びSAE信号によりセンスアンプ52が動作することによって上記リフレッシュの対象となるメモリセルの再書き込み(リフレッシュ)が行なわれる。このリフレッシュ動作のとき、CDE信号はディセーブル状態のままであるので、このときのセンスアンプ出力は読み出されない。次に、 \overline{CE} 信号がイネーブルになると、上記したと同様にアドレス信号によるワード線の選択(たとえばWL2の選択)からリフレッシュ動作までの一連の動作が繰り返される。

なお、上記した動作タイミングにおいては、リフレッシュ動作は読み出し動作による読み出

しデータ確定後に行なわれたが、これに限らず、通常の読み出し動作の前のアドレスコーディング中にリフレッシュ動作を行なわせるようにしてもよい。また、上記動作例では1つのアクセスサイクル内で通常のメモリ動作とリフレッシュ動作とを時分割で行なったが、必ずしも各サイクル毎にリフレッシュを行なわなくてもよく、リフレッシュが必要となるサイクルのみ上記のように通常の読み出し動作とリフレッシュ動作とを時分割で行なりようにしてもよい。また、リフレッシュしようとしたときにRAMがアクセスされていない場合には単にリフレッシュ動作だけを行なりようにすればよい。

ところで、上述したように通常のメモリ動作の空き時間に自動的にリフレッシュ動作を行なわせるようにそのタイミングを管理制御するためのリフレッシュタイミング制御回路が必要であり、その具体的で簡単な回路構成の実現が望まれていた。

を各対応して一方の入力とする2個の2入力論理回路が交差接続され、上記各一方の入力の論理レベル関係により通常読み出し動作とリフレッシュ動作との優先度を決定し、この決定出力により通常読み出し動作の開始制御あるいはリフレッシュ動作の開始制御を行なり通常動作・リフレッシュ動作優先度決定回路とからなることを特徴とするものである。

(作用)

上記優先度決定回路は、1つのアクセスサイクル内で2種の開始指令信号が順次入力した場合には先に入力した開始指令信号を優先してそれに対応する通常動作あるいはリフレッシュ動作を開始制御し、この動作後に残りの開始指令信号による対応する動作を開始制御する。また、上記2種の開始指令信号が同時に入力した場合でも、いずれか一方の開始指令信号に対応する動作を開始制御し、この動作後に残りの開始指令信号に対応する動作を開始制御する。また、1つのアクセスサイクル内に1種の開始指令信

(発明が解決しようとする問題点)

本発明は、上述したように通常のメモリ動作の空き時間に自動的にリフレッシュ動作を行なわせるようにタイミングを管理制御するための具体的回路の実現に対する要望に鑑みてなされたもので、簡単な回路構成によってリフレッシュ動作を適切なタイミングで行なわせるように管理制御し得る半導体記憶装置のリフレッシュ動作タイミング制御回路を提供することを目的とする。

(発明の構成)

(問題点を解決するための手段)

本発明は、通常のメモリ動作の空き時間に自動的にリフレッシュ動作を行なわせるようにタイミングを管理制御する半導体記憶装置のリフレッシュ動作タイミング制御回路として、記憶装置内部で発生する通常読み出し開始指令信号およびリフレッシュ開始指令信号をそれぞれ一時保持する2個のフリップフロップ回路と、この2個のフリップフロップ回路の各一方の出力

号しか入力しなかった場合にはこの開始指令信号に対応する動作のみを開始制御する。したがって、通常のメモリ動作の空き時間に自動的にリフレッシュ動作を組み入れるような制御が可能であり、使用者からリフレッシュ動作が見えない仮想的なスタティック型メモリを実現することができる。しかも、上記優先度決定回路は2個の2入力論理回路を交差接続して構成可能であり、その前段側に2種の開始指令信号を一時保持するための2個のセットリセット型FF回路を接続することでリフレッシュ動作タイミング制御回路を簡単な回路構成により安価に実現可能である。

(実施例)

以下、図面を参照して本発明の一実施例を詳細に説明する。第1図に示すリフレッシュ動作タイミング制御回路は、通常のメモリ動作の空き時間にリフレッシュ動作を行なりことが可能な第5図を参照して前述したような半導体記憶装置の一部として集積回路チップ上に形成され

ている。即ち、1はセットリセット型の第1のフリップフロップ(F.F.)回路であり、そのセット入力Sとして通常読み出し動作(通常動作)開始指令信号NSETが入力し、リセット入力Rとして通常動作ワード線シャットオフ信号NRSTが入力する。2はセットリセット型の第2のF.F.回路であり、そのセット入力Sとしてリフレッシュ開始指令信号RSETが入力し、リセット入力Rとしてリフレッシュワード線シャットオフ信号RRSTが入力する。3は2個の2入力ナンド回路4, 5が交差接続(一方の回路の出力が他方の回路の2入力のうちの1入力となる)された通常動作・リフレッシュ動作優先度決定回路であり、第1の2入力ナンド回路4の一方の入力として前記第1のF.F.回路1のQ出力(通常動作要求信号NREQ)が導かれ、第2の2入力ナンド回路5の一方の入力として前記第2のF.F.回路2のQ出力(リフレッシュ要求信号RREQ)が導かれている。上記第1の2入力ナンド回路4の出力はCMOS型(相補性飽和ゲー

ト型)の第1のインバータ回路6により波形整形されると共に反転されて通常動作開始制御用の第1の制御回路7の入力となり、前記第2の2入力ナンド回路5の出力はCMOS型の第2のインバータ回路8により波形整形されると共に反転されてリフレッシュ動作開始制御用の第2の制御回路9の入力となるように接続されている。

次に、上記リフレッシュ動作タイミング制御回路の動作について第2図のタイミングチャートを参照して説明する。半導体記憶装置のアドレス入力に変化し、あるいはCDE信号がイネーブル状態になるとメモサイクルが開始し、時刻 t_0 に図示しないメモリ制御回路から通常動作開始指令信号NSETが第1のF.F.回路1のセット入力として入力する。いま、たとえば上記時刻 t_0 より若干遅れた時刻 t_1 に図示しないリフレッシュタイマ回路などからリフレッシュ開始指令信号RSETが第2のF.F.回路2のセット入力として入力したとする。したがって、第

1のF.F.回路1のQ出力(NREQ)がハイレベル"H"になったのち第2のF.F.回路2のQ出力(RREQ)が"H"レベルになる。一方、優先度決定回路3において、第1の2入力ナンド回路4の一方の入力ノードN₁および第2の2入力ナンド回路5の一方の入力ノードN₂はそれぞれ対応して前記NREQ信号、RREQ信号が立ち上がるまでは"H"レベルで待機している。これによって、NREQ信号の方がRREQ信号より先に"H"レベルになると、第1の2入力ナンド回路4の出力ノードN₃がローレベル"L"になり、第2の2入力ナンド回路5の出力ノードN₄は"H"レベルのままである。したがって、第1のインバータ回路6の出力信号NGOが先に"H"レベルになり第1の制御回路7によって通常動作開始のためにアドレス入力に応じたワード線NWLを開く信号が一定期間"H"レベルになるのに対して、第2のインバータ回路8の出力信号RGOは"L"レベルのままであり、第2の制御回路9はそのままの状態で作待機している。上記NGO信号の"H"

レベル期間に、第6図を参照して前述したと同様に通常の読み出し動作が行なわれ、CDE信号およびBRE信号がそれぞれディセーブルになった後の時刻 t_2 において前記ワード線NWLの選択信号が"L"レベルになってワード線NWLの選択が終了すると、図示しないメモリ制御回路から通常ワード線シャットオフ信号NRSTが第1のF.F.回路1のリセット入力として入力する。これにより、第1のF.F.回路1のNREQ出力は"L"レベルになり、第1の2入力ナンド回路4の出力ノードN₃は"H"レベルになり、第1のインバータ回路6の出力信号NGOは"L"レベルになる。これに対して、前記時刻 t_1 で"H"レベルになった第2のF.F.回路2のRREQ出力は"H"レベルを保ち続けており、上記第1の2入力ナンド回路4の出力ノードN₃(換言すれば、第2の2入力ナンド回路5の一方の入力ノードN₂)が"H"レベルになったときに第2の2入力ナンド回路5の出力ノードN₄が"L"レベルになり、第2のインバータ8の出力信号RGOが

時刻 t_3 に“H”レベルになる。なお、時刻 t_3 から t_4 までは上記回路動作に伴う遅延時間である。したがって、上記第2の制御回路9によって、リフレッシュ動作開始のためにリフレッシュワード線RWLを開く信号が一定期間“H”レベルになり、上記RGO信号の“H”レベル期間に第6図を参照して前述したと同様にリフレッシュ動作が行なわれる。このとき、上記第2の制御回路9はCDE信号をディセーブル状態に保つように制御し、センスアンプ出力が読み出されないようにしている。そして、上記リフレッシュワード線RWLの選択信号が“L”レベルになって、リフレッシュワード線RWLの選択が終了した時刻 t_4 に図示しないメモリ制御回路からリフレッシュワード線シャットオフ信号RRSTが第2のFF回路2のリセット入力として入力する。これにより、第2のFF回路2のRREQ出力は“L”レベルになり、第2の2入力ナンド回路5の出力ノード N_3 は“H”レベルになり、第2のインバ

中間電位まで一旦下がり、その後、2入力ナンド回路4, 5の入力トランジスタ特性の相違などにより、いずれか一方が“H”レベル、他方が“L”レベルにラッチされるようになる。ここでは、ノード N_3 が“L”レベル、ノード N_4 が“H”レベルにラッチされる場合を図示した。そして、時刻 t_5 において、ノード N_3 のレベルが第1のインバータ回路6の閾値 V_{TH} を横切って低下すると、その出力信号NGOが“H”レベルになり、前述したように通常読み出し動作が開始するようになる。この場合、上記ノード N_3 , N_4 の電位がラッチされるまでの期間にそれぞれの電位により誤って応動してインバータ回路6, 8がそれぞれ“H”レベルを出力することがないように、つまりインバータ回路6, 8によりノード N_3 , N_4 の電位の動きを正常に波形整形する必要がある。そのためにはインバータ回路6, 8の閾値 V_{TH} をそれぞれ前記中間電位(“H”レベルが V_{CC} 電位、“L”レベルが接地電位とすれば、約 $\frac{1}{2}V_{CC}$ である)より低目に設定

一回路8の出力信号RGOは“L”レベルになる。

以上の説明は、同一のアクセスサイクル内で通常の読み出し動作がリフレッシュ動作より前に行なわれる場合、つまりデータ出力回路の遅延時間の期間にリフレッシュ動作が組み込まれた場合であるが、前記リフレッシュ開始指令信号RSETが通常動作開始指令信号NSETより先に生成された場合には、上記動作例に準じてリフレッシュ動作が通常の読み出し動作より前(アドレス入力回路のデコーディングなどに伴う遅延時間の期間)に組み込まれるような制御が行なわれる。

これに対して、第3図に示す動作タイミングのように通常動作開始指令信号NSETとリフレッシュ開始指令信号RSETとが同時に入力してNREQ信号とRREQ信号とが同時時刻 t_0 に“H”レベルになった場合には、第1の2入力ナンド回路4の出力ノード N_1 および第2の2入力ナンド回路5の出力ノード N_3 はそれぞれ低下し始め、時刻 t_1 に“H”レベルと“L”レベルとの

しておくことが望ましい。

なお、1つのアクセスサイクル内で通常動作開始指令信号NSETのみ入力した場合には通常読み出し動作のみ開始させるような制御が行なわれ、これとは逆にリフレッシュ開始指令信号RSETのみ入力した場合にはリフレッシュ動作のみ開始させるような制御が行なわれることになる。

なお、本発明は上記実施例に限られるものではなく、第4図に示すように2個の2入力ノア回路4', 4''を交差接続してなる優先度決定回路8'を用い、その入力として第1のFF回路1の \bar{Q} 出力(NREQ信号)および第2のFF回路2の \bar{Q} 出力(RREQ信号)を導くようにし、第1のインバータ回路6'の出力としてNGO信号、第2のインバータ回路8'の出力としてRGO信号を得るように変形実施してもよい。なお、第4図において第1図中と同一部分には同一符号を付している。上記場合にも前記実施例に準じた動作が得られるが、ノード N_3 , N_4 の電位の動

きを正常に波形整形するためにはインバータ回路 6', 8' の閾値 V_{TH}' をそれぞれ中間電位 (約 $\frac{1}{2} V_{CC}$) より高目に設定しておくことが望ましい。

〔発明の効果〕

上述したように本発明によれば、通常のメモリ動作の空き時間に自動的にリフレッシュ動作を行なわせるようにタイミングを管理制御する半導体記憶装置のリフレッシュ動作タイミング制御回路を、2個のフリップフロップ回路と1個の優先度決定回路とを用いて簡単な回路構成により実現でき、リフレッシュ動作を必要とするけれども使用者からはリフレッシュ動作が見えない仮想的なスタティック型メモリを安価に実現することができる。

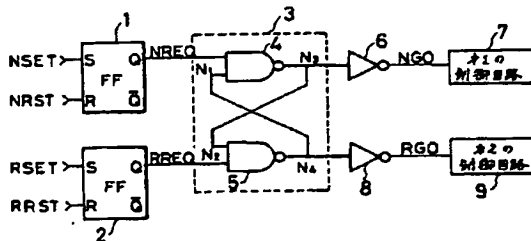
1. 図面の簡単な説明

第1図は本発明に係る半導体記憶装置のリフレッシュ動作タイミング制御回路の一実施例を示す論理回路図、第2図は第1図の回路の動作例を示すタイミングチャート、第3図は同じく他の動作例を示すタイミングチャート、第4図

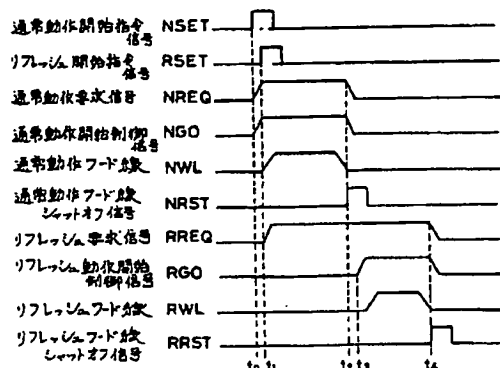
は本発明の他の実施例を示す論理回路図、第5図は現在提案されている仮想的なスタティック型メモリの一部を概略的に示す構成説明図、第6図は第5図のメモリの動作例を示すタイミングチャートである。

1, 2…フリップフロップ回路、3, 3'…優先度決定回路、4, 5…2入力ナンド回路、6, 6', 8, 8'…インバータ回路、41, 42…2入力ノア回路。

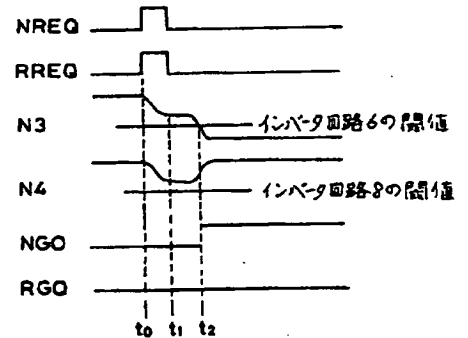
出願人代理人 弁理士 鈴 江 武 彦



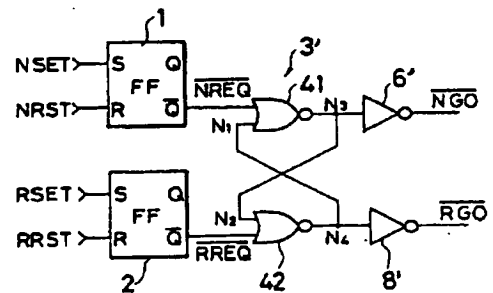
第 1 図



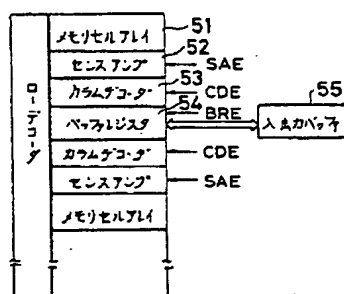
第 2 図



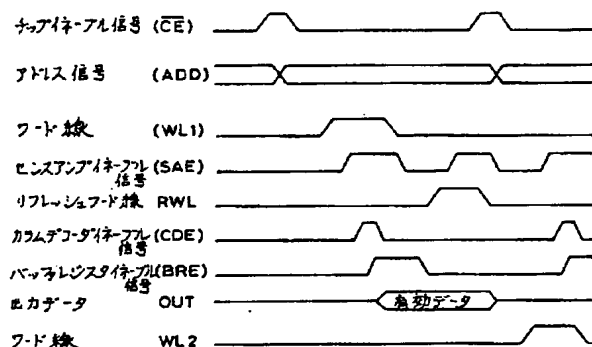
第 3 図



第 4 図



第 5 図



第 6 図